# Pontifícia Universidade Católica de Campinas

Raissa Furlan Davinha RA: 15032006

Rafael Fioramonte RA:16032708

Bruno Vicente Donaio Kitaka RA:16156341

**CPU Simples em VHDL**

Arquitetura de Computadores

Campinas

2017

**INTRODUÇÃO**

Em aula foi lançado o projeto para criação de uma CPU com 4 registradores de 8 bits cada, que executa 4 instruções simples, de mover, trocar, somar e subtrair. O processador foi feito em linguagem VHDL pelo software Quartus II 13.1.

VHDL é uma linguagem usada para facilitar o design (projeto/concepção) de circuitos digitais em CPLDs, [FPGAs](https://pt.wikipedia.org/wiki/FPGA) e [ASICs](https://pt.wikipedia.org/wiki/ASIC).

Altera Quartus II é um software de design de [dispositivo de lógica programável](https://en.wikipedia.org/wiki/Programmable_logic_device) produzido pela [Altera](https://en.wikipedia.org/wiki/Altera) . Quartus II permite a análise e síntese de projetos de V[HDL](https://en.wikipedia.org/wiki/Hardware_description_language) , que permite ao desenvolvedor compilar seus projetos, realizar análise de tempo, examinar diagramas, simular a reação de um projeto a diferentes estímulos e configurar o dispositivo alvo com o programador.

**DESENVOLVIMENTO**

A CPU é constituida basicamente por um banco de registradores, com 4 registradores de 8bits cada, uma ULA que executa somas, subtrações ou apenas passa adiante o valor do registrador, e uma unidade de controle. Dentro dessasseções principais, foram também utilizados multiplexadores, decodificadores 2 para 4, para seleção das saídas dos registradores, tristate buffers, e flip flops.

Os registradores são identificados por dois bits, totalizando as quatro opões de registradores.

O formato das instruções, e o OPCODE, tendo um total de 8 bits, foi dividido em dois formatos distintos, um para o tipo R, com movimento apenas entre os registradores, e um tipo I, que faz uso de um valor inteiro, chamado de imediado.

Tipo R:

Cada espaço da instrução possui tamanho de 2 bits.

|  |  |  |  |
| --- | --- | --- | --- |
| OPCODE | REGISTRADOR 1 | REGISTRADOR 2 | FUNÇÃO |

Tipo I:

O espaço opcode e registrador 1 possuem tamanho de 2 bits, enquanto que o imediato possui tamanho igual a 4 bits, chegando ao valor 1111 binário.

|  |  |  |
| --- | --- | --- |
| OPCODE | REGISTRADOR 1 | IMEDIATO |

No tipo I, os numeros representados nao sao sinalizados, pois existe a instrucao de subtracao com numeros imediatos.

**Tabela de sinais de controle**

|  |  |  |
| --- | --- | --- |
| Instrucoes R | OP | FUNC |
| XCHG | 00 | 00 |
| MOV | 00 | 01 |
| ADD | 00 | 10 |
| SUB | 00 | 11 |

|  |  |  |
| --- | --- | --- |
| Intrucoes I | OP | FUNC |
| MOV | 01 | XX |
| ADDI | 10 | XX |
| SUB | 11 | XX |

A unidade de controle, recebe os sinais acima, e gera os seguintes sinais, dependendo da instrucao:

Xchg (controla dois multiplexadores, antes e depois do banco de registradores, para permitir a entrada dos dados aos registradores corretos);

RegWrite (libera ou nao a entrada de dados ao registrador indicado);

TempWrite (sinal para escrita no registrador temporario).

Todas as intrucoes executam em apenas dois ciclo de clock, exceto a instrucao exchange, que necessita de um terceiro ciclo para completar.

Para controle da unidade logica (ULA), caso o campo OP seja 00, quem entra e o FUNC, caso o campo OP seja diferente de 00, quem entra e o proprio OP.

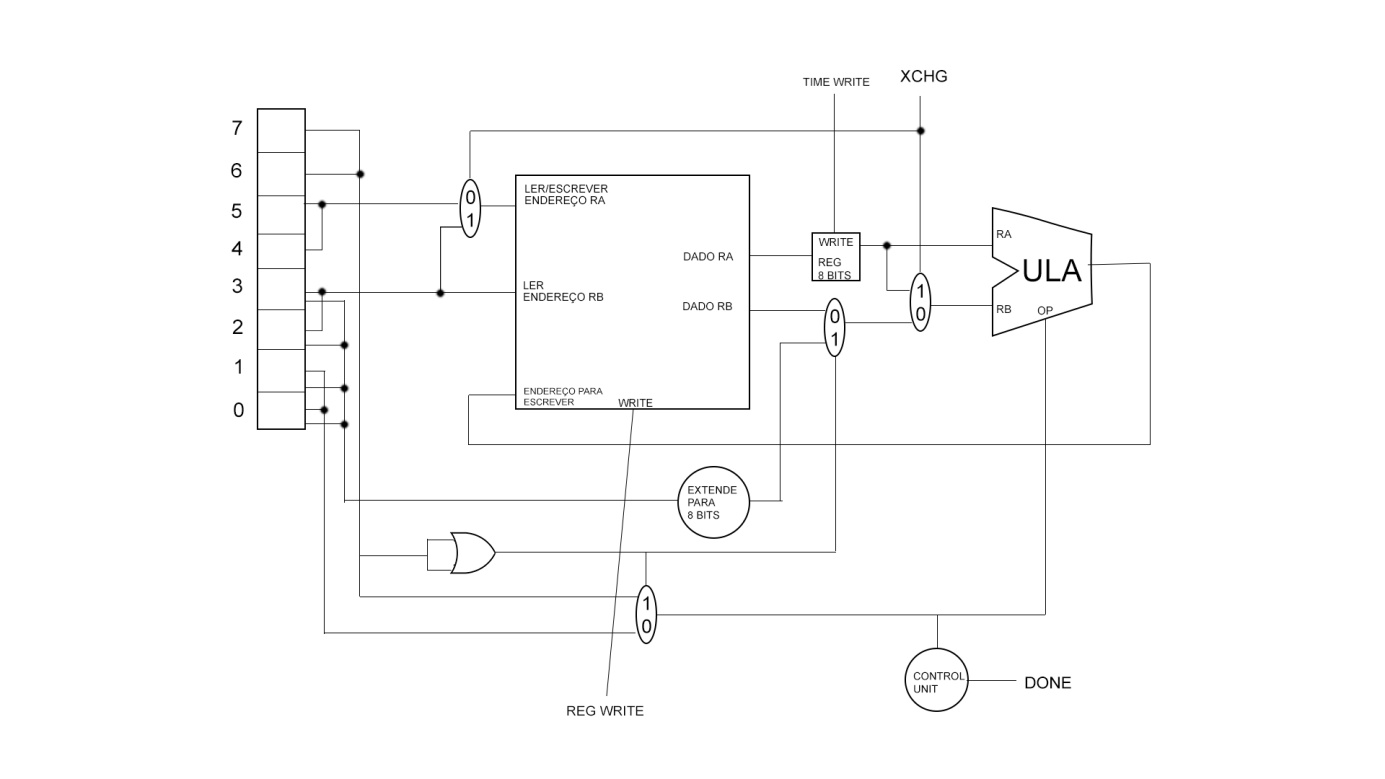


Imagem 1: A CPU.

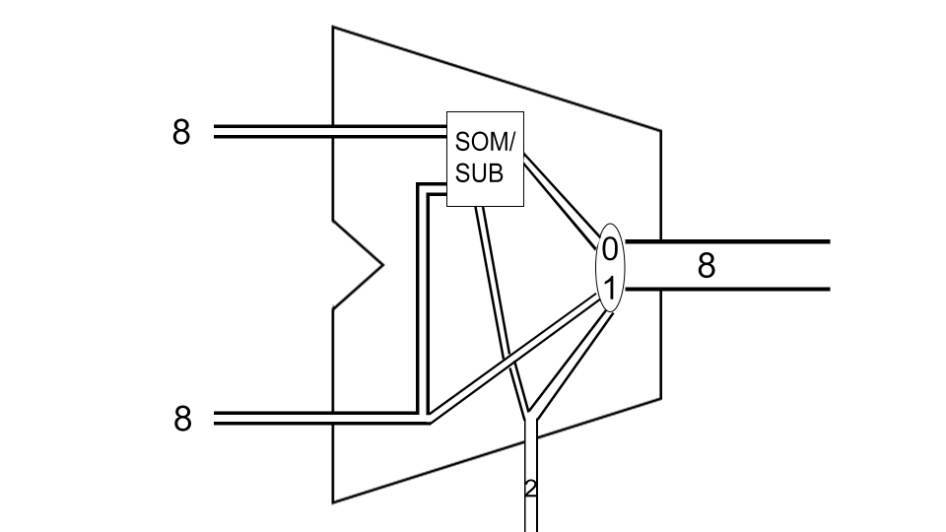


Imagem 2: A ULA.

**Referências**

VHDL. Disponível em: <https://pt.wikipedia.org/wiki/VHDL>.

Altera Quartus. Disponível em: <https://en.wikipedia.org/wiki/Altera\_Quartus>.

Binary to Decimal to Hexademical Converter. Disponível em: <https://www.mathsisfun.com/binary-decimal-hexadecimal-converter.html>.